

Family list
1 family member for:
JP4056168
Derived from 1 application.

1 THIN-FILM TRANSISTOR AND ITS MANUFACTURE
Publication info: JP4056168 A - 1992-02-24

Data supplied from the esp@cenet database - Worldwide //

Best Available Copy

THIN-FILM TRANSISTOR AND ITS MANUFACTURE

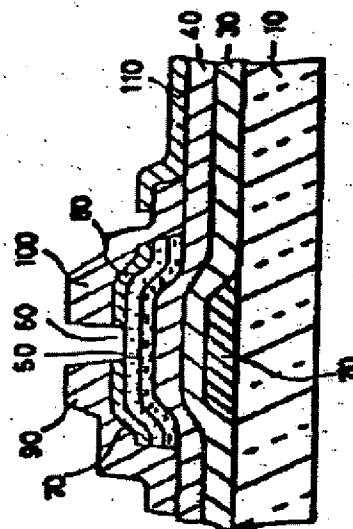
Patent number: JP4056168
Publication date: 1992-02-24
Inventor: SANO HIROYUKI; IMASHIRO SHINICHI; TOKO YASUO
Applicant: STANLEY ELECTRIC CO LTD
Classification:
- international: (IPC1-7): H01L29/784
- european:
Application number: JP19900163744 19900621
Priority number(s): JP19900163744 19900621

Report a data error here

Abstract of JP4056168

PURPOSE: To easily control the etching operation of a semiconductor layer, to eliminate a drop in the insulation of a gate insulating film and to enhance reliability and productivity by a method wherein the gate insulating film is formed of a three-layer laminated structure in which adjacent layers are formed of mutually different materials and the semiconductor layer is formed on it.

CONSTITUTION: A gate electrode 20 for a transistor is formed and patterned on a glass substrate 10. In addition, three layers by a first gate insulating film 30, a second gate insulating film 40 and a third gate insulating film 50 in the order from the side close to the substrate 10 are laminated on it. An amorphous silicon semiconductor layer (a-Si) 60 constituting a channel is formed on the third gate insulating film 50 so as to face the gate electrode 20. The film 50 is formed of a silicon nitride film by a plasma CVD method. When an etching operation is shifted from the semiconductor layer to the film 50, the plasma luminous peak of nitrogen is detected and an etching end point is detected. Thereby, a thin-film transistor in which a source is not short-circuited with a gate, whose insulating property is excellent and whose characteristic is stable can be manufactured with good reproducibility.



Data supplied from the esp@cenet database - Worldwide

⑩ 日本国特許庁(JP)

⑪ 特許出願公開

⑨ 公開特許公報(A) 平4-56168

⑫ Int. Cl.⁸

識別記号

庁内整理番号

⑬ 公開 平成4年(1992)2月24日

H 01 L 29/784

9056-4M

H 01 L 29/78

311 G

審査請求 有 請求項の数 4 (全4頁)

⑭ 発明の名称 薄膜トランジスタおよびその製造方法

⑮ 特 願 平2-163744

⑯ 出 願 平2(1990)6月23日

⑰ 発 明 者	佐 野 寛 幸	神奈川県大和市南林間8-10-5-101
⑰ 発 明 者	今 城 慎 一	神奈川県川崎市麻生区虹ヶ丘2-3-2-702
⑰ 発 明 者	都 甲 康 夫	神奈川県横浜市緑区荏田南2-17-8-202
⑱ 出 願 人	スタンレー電気株式 社	東京都目黒区中目黒2丁目9番13号
⑲ 代 理 人	弁理士 高橋 敏四郎	

明 細 書

1. 発明の名称

薄膜トランジスタおよびその製造方法

2. 特許請求の範囲

(1). 透明絶縁基板と、

前記透明絶縁基板上に形成したゲート電極層と、

前記ゲート電極層と前記基板の上に形成したゲート絶縁層と、

前記ゲート絶縁層の上に形成した半導体層と、

前記半導体層の上に形成したソース/ドレイン電極層とを有し、

前記ゲート絶縁層は剥離する層が互いに異なる材料で形成された3層の積層を含む薄膜トランジスタ。

(2). 前記ゲート絶縁層は前記ゲート電極層に近い順に第1絶縁層、第2絶縁層及び第3絶縁層を含み、前記第2絶縁層が前記第3絶縁層よりも耐エッチング性に優れた材料で形成される請求

項1記載の薄膜トランジスタ。

(3). 透明絶縁基板上にゲート電極層を形成する工程と、

前記ゲート電極層と前記透明絶縁基板の上に3層の積層構造を含むゲート絶縁層を形成する工程であって、前記3層の第1層と第2層とは異なる成膜法で形成する工程と、

前記ゲート絶縁層の上に半導体層を形成する工程と、

前記半導体層の所定領域をエッチングする工程と、

前記半導体層の上にソース電極とドレイン電極の層を同時に形成する工程と、

を含む薄膜トランジスタの製造方法。

(4). 前記ゲート絶縁層の3層の形成工程は、プラズマCVD法による酸化シリコン膜で第1層を形成し、スパッタ法による酸化シリコン膜で第2層を形成することを含む請求項4記載の薄膜トランジスタの製造方法。

8. 発明の要旨を説明

(図面上の利用分限)

本発明は、可動トランジスタに係わり、特に被シディスプレイ等のアクティブマトリックス表示装置の画素回路に好適な信頼性と生産性の高い可動トランジスタおよびその製造方法に関する。

(図面の説明)

図2図にアクティブマトリックス装置に用いた従来の可動トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート絶縁層20が形成され、パターニングされ、その上にさらにゲート絶縁層30、40が2層積層して形成されている。(ゲート絶縁層は1層のみの場合もある。)ゲート電極20に対向するように絶縁層40上にチャネルを形成する半導体層50が形成され、その上にコンタクトを形成するための低抵抗導電層60、70、80が所定形状にパターニングされて形成され、その上にソース電極90とドレイン電極100とが形成されることにより可動ト

ランジスタの一端子が形成されている。半導体層50、70、80の形成工程におけるエッチング工程は、例えばCF₄、BBr₃、SF₆を用いてのドライエッチングで行われる。エッチングは、たとえば高周波電力の10〜2000W、電力の1〜100Ppである。0.6μm、ドレイン幅100の一層と接合し、ゲート絶縁層40上に積層して形成される透明電極110が形成される。

(発明が図示しようとする点)

図1のゲート絶縁層20に酸化シリコン(810Å)又は、酸化タンタル(Ta₂O₅)を積層し、図2ゲート絶縁層40に酸化シリコン(810Å)を積層した場合、半導体層50、70、80のパターニング工程のエッチングレートが低く、酸化シリコンのエッチングレートが非常に低い。このため、半導体層50のエッチングが完了した後に、絶縁層40に図2ゲート絶縁層40の酸化シリコンをエッチングされる。これにより、ゲート絶縁層40のオーバーエッチングが抑制され、ゲート電

極の厚みが所定の値よりも厚くなり、絶縁層下のソース・ゲート絶縁層の損傷を受ける。

また、図1のゲート絶縁層20に酸化シリコン(810Å)を積層し、図2のゲート絶縁層40に酸化シリコン(810Å)又は、酸化タンタル(Ta₂O₅)を積層した場合に、半導体層50、70、80のエッチング速度が非常に遅く、半導体層50、70、80がプラズマダメージを受ける。さらに、酸化シリコンや酸化タンタルは酸化シリコンに比べ半導体層との界面界面が不安定である欠点があった。

本発明の目的は、半導体層のエッチングがしやすく、絶縁層の絶縁層下の破れ、可動電極の生産性の高い可動トランジスタとその製造方法を提供することである。

(図面を説明するための手段)

本発明によれば、可動トランジスタにおいて、図示する層は互に異なる材料で形成された3層の積層構造を用いてゲート絶縁層を形成し、その上

に半導体層を形成する。

(例)

半導体層のエッチングは、例えば、半導体層がエッチングされる際に、図2のゲート絶縁層の半導体層に近接した図2のゲート絶縁層のエッチングが抑制され、図2のゲート絶縁層のオーバーエッチングが抑制される。図2のゲート絶縁層によって、ゲート絶縁層が形成される。図2のゲート絶縁層によって、ゲート絶縁層が形成される。図2のゲート絶縁層によって、ゲート絶縁層が形成される。図2のゲート絶縁層によって、ゲート絶縁層が形成される。

(図面)

図に、本発明による可動トランジスタの断面構造を示す。

図1図にアクティブマトリックス装置に用いた本発明の可動トランジスタの断面構造を示す。ガラス基板10上にトランジスタのゲート絶縁層20が形成され、パターニングされ、その上にさらに図1に示すように、ゲート絶縁層20に酸化シリコン(810Å)又は、酸化タンタル(Ta₂O₅)を積層し、図2ゲート絶縁層40に酸化シリコン(810Å)を積層した場合に、半導体層50、70、80のエッチング速度が非常に遅く、半導体層50、70、80がプラズマダメージを受ける。さらに、酸化シリコンや酸化タンタルは酸化シリコンに比べ半導体層との界面界面が不安定である欠点があった。

ート絶縁層30、第2ゲート絶縁層40及び第3ゲート絶縁層50が3層積層形成されている。ゲート電極20に対向するように第3ゲート絶縁層50上にチャネルを形成するアモルファスシリコン半導体層(10-31)30が形成される。その上に、コンタクトを形成するための低抵抗率半導体層1(N+型アモルファスシリコン)70、80が所定形状にパターニングされて形成される。その上にソース電極90とドレイン電極100とが形成されることにより所定トランジスタの1個子が形成されている。なお、ドレイン電極100の一部と接合し、第3ゲート絶縁層50上に開口となる絶縁層110が形成される。

ここで、第3ゲート絶縁層40は、第2ゲート絶縁層50に比べエッチング時に優れた特性を使用することが好ましい。例えば、第3ゲート絶縁層40は、スパッタ法によるプラズマCVD法により酸化シリコン(SiO₂)で形成する。第1ゲート絶縁層30は、絶縁性の優れた酸化シリコン

(SiO₂)をプラズマCVD法で形成する。また、第1ゲート絶縁層30は、酸化シリコンや酸化タンタルも使用可能である。この、第1ゲート絶縁層30と第2ゲート絶縁層40とは、第2のピンホール等の欠陥防止のため互いに異なる方法で形成することが好ましい。

第3ゲート絶縁層50は、プラズマCVD法により酸化シリコンで形成される。

第1ゲート絶縁層30は、第2ゲート絶縁層40としての特性を有し、第3ゲート絶縁層40は、第1ゲート絶縁層30のピンホール等の欠陥防止および半導体層60、70、80のエッチングの際のオーバーエッチングを防止するストップの役割を、第3ゲート絶縁層50は、半導体層60、70、80のエッチングの際の保護膜として半導体層60の表面を保護させる役割をそれぞれ果たす。

ここで、本発明の開口部によって開口に開口した所定トランジスタの図を説明する。図3000nmに形成され、パターニングされたゲート

層30上に、1000-4000nmの厚みの酸化シリコンで第1ゲート絶縁層30を形成し、500-2000nmの厚みの酸化シリコンで第2ゲート絶縁層40を形成し、さらに500-2000nmの厚みの酸化シリコンで第3ゲート絶縁層50をそれぞれ形成する。なお、第3ゲート絶縁層50は同一方向でチャネル層60、コンタクト半導体層70、80を形成する。その、C、F、及びO、Hを含むフライエッチングで半導体層60、70、80をパターニングする。ここで、エッチングが半導体層60から酸化シリコンの第3ゲート絶縁層50に進行した際に酸化プラズマ処理ピークを抑制することによりエッチング速度を抑制した。これにより、ソース・ゲート絶縁層もよく絶縁性を有する。また、所定の所定トランジスタが形成される。

以上、実施例によって本発明を説明したが、本発明はこれらに限定されるものではない。金、銀、銅等の金属、炭素、窒素、酸素等が可能なこと

は、本発明の範囲内である。

【発明の効果】

本発明によれば、ゲート絶縁層30、40、50を用いたことにより、半導体層60のエッチング時にオーバーエッチングを防止できる。

ゲート絶縁層30、40、50に酸化シリコンを用いているため、エッチングが半導体層60からゲート絶縁層30に進行した際に酸化プラズマ処理ピークを抑制することによりエッチング速度を抑制できる。

第3ゲート絶縁層50に第1ゲート絶縁層30よりエッチング時に優れた特性を使用することにより、エッチングストップの役割を果たし、第3ゲート絶縁層50のオーバーエッチング防止が可能となる。

第3ゲート絶縁層50にプラズマCVD法による酸化シリコンを用いているため、真空でも、半導体層60の表面を保護する。ゲート絶縁層30と半導体層60との間に不純物が侵入し、

特開平4-56168(4)

界面単位の変位を形成できる。

4. 図面の簡単な説明

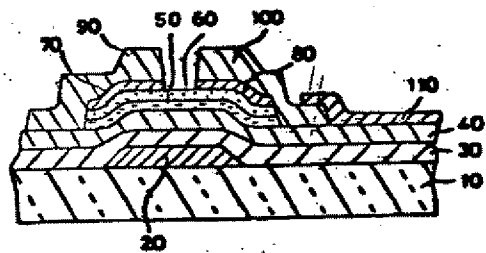
第1図は本発明の実施例による薄膜トランジスタの断面構造図、

第2図は従来の技術による薄膜トランジスタの断面構造図である。

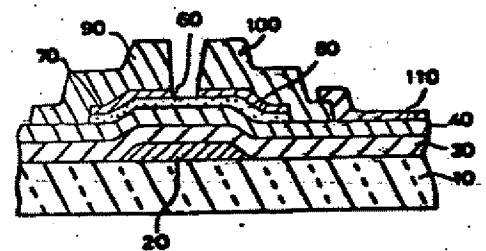
図において、

- 10 ガラス基板
- 20 ゲート電極
- 30 第1ゲート絶縁層
- 40 第2ゲート絶縁層
- 50 第3ゲート絶縁層
- 60, 70, 80 半導体層
- 90 ソース電極
- 100 ドレイン電極
- 110 透明電極層

特許出願人 スタンレー電気株式会社
代理人 弁護士 高橋 四郎



本発明の実施例による薄膜トランジスタ
第1図



従来の技術による薄膜トランジスタ
第2図

手続補正書(自発)

平成 2年 7月27日

特許庁長官 殿

1. 事件の識別 平成 2年特許第163744号

2. 発明の名称 薄膜トランジスタおよびその製造方法

3. 補正をする者

事件との関係 特許出願人
住所 東京都目黒区中目黒2丁目9番13号
名称 (株)スタンレー電気株式会社

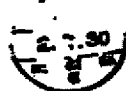
4. 代理人

住所 〒143 東京都中央区日本橋小伝馬町1-3
日本橋ニレビル702 電話 03-5561-0004
氏名 (9134) 弁護士 高橋 四郎

5. 補正の対象 明細書の発明の詳細な説明の欄

6. 補正の内容 列記の通り

- (1). 明細書第 8頁第19~20行
「3000nm」を「300nm」と補正する。
- (2). 明細書第 9頁第1行
「1000~4000nm」を「100~400nm」と補正する。
- (3). 明細書第 9頁第3行
「500~2000nm」を「50~200nm」と補正する。
- (4). 明細書第 9頁第4~5行
「500~2000nm」を「50~200nm」と補正する。



方式 ①

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☒ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☒ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☒ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.